
Ano Letivo 2017-18

Unidade Curricular ELETRÓNICA III

Cursos ENGENHARIA ELETRÓNICA E TELECOMUNICAÇÕES (Mestrado Integrado)

Unidade Orgânica Faculdade de Ciências e Tecnologia

Código da Unidade Curricular 14811109

Área Científica ENGENHARIA ELETRÓNICA

Sigla

Línguas de Aprendizagem
Português

Modalidade de ensino
Presencial

Docente Responsável José Manuel Aguiar Tavares Bastos

DOCENTE	TIPO DE AULA	TURMAS	TOTAL HORAS DE CONTACTO (*)
José Manuel Aguiar Tavares Bastos	PL; T; TP	T1; TP1; PL1	15T; 15TP; 30PL

* Para turmas lecionadas conjuntamente, apenas é contabilizada a carga horária de uma delas.

ANO	PERÍODO DE FUNCIONAMENTO*	HORAS DE CONTACTO	HORAS TOTAIS DE TRABALHO	ECTS
4º	S1	15T; 15TP; 30PL	168	6

* A-Anual;S-Semestral;Q-Quadrimestral;T-Trimestral

Precedências

Sem precedências

Conhecimentos Prévios recomendados

Electrónica I

Electrónica II

Circuitos Digitais

Objetivos de aprendizagem (conhecimentos, aptidões e competências)

Introduzir os alunos no domínio da análise, projecto e simulação de circuitos integrados com o auxílio de ferramentas de CAD. Desenvolver competências para projectar circuitos integrados incluindo dimensionamento, simulação, e desenho estrutural em tecnologia MOS.

Conteúdos programáticos

PARTE 1. TECNOLOGIA CMOS

Etapas de processo: Patterning, Oxidação, Difusão, Implantação. Tecnologia com substrato tipo n e poço tipo p. Modelos eléctricos para MOSFETs. Modelo DC simples para cálculo à mão. Modelo para pequenos sinais a baixas frequências. Capacidades intrínsecas e parasitas num MOSFET. Modelo para MOSFETs para pequenos e sinais e a frequências elevadas. Modelos SPICE 1, 2 e 3. Referência ao modelo BSIM3.

PARTE 2. CIRCUITOS DIGITAIS

O inversor CMOS. Tempos de subida, de descida e de propagação. Optimização do tempo de propagação de uma cascata de inversores. O oscilador em anel.

Portas lógicas estáticas elementares Não-E e Não-Ou. Portas estáticas para lógica combinatória. Tempos de propagação. Outras famílias lógicas: Ratioed logic, Differential cascade logic.

Portas lógicas dinâmicas. Lógica DOMINO. Lógica C2MOS.

Circuitos sequências. Flip-Flops estáticos e dinâmicos. Lógica TSPCL.

Memórias ROM (PROM, UVEPROM, EEPROM, FLASH) e RAM (estática e dinâmica).

Metodologias de ensino (avaliação incluída)

Aulas teóricas: Método expositivo

Aulas práticas: Aprendizagem por exemplos

Avaliação contínua: Os alunos realizam 2 projectos que são avaliados por relatório e apresentação (exame) oral.

Bibliografia principal

R. Baker, H. Li, and D. Boyce, CMOS Circuit Design and Simulation, IEEE Press 1998, ISBN 0-7803-3416-7

J. Rabaey, Digital Integrated Circuits - A Design Perspective, Prentice-Hall 1996, ISBN 0-13-178609-1

Academic Year 2017-18

Course unit ELECTRONICS III

Courses ELECTRONIC ENGINEERING AND TELECOMMUNICATIONS (Integrated Masterçs)

Faculty / School Faculdade de Ciências e Tecnologia

Main Scientific Area ENGENHARIA ELETRÓNICA

Acronym

Language of instruction Portuguese

Teaching/Learning modality Presencial

Coordinating teacher José Manuel Aguiar Tavares Bastos

Teaching staff	Type	Classes	Hours (*)
José Manuel Aguiar Tavares Bastos	PL; T; TP	T1; TP1; PL1	15T; 15TP; 30PL

* For classes taught jointly, it is only accounted the workload of one.

Contact hours

T	TP	PL	TC	S	E	OT	O	Total
15	15	30	0	0	0	0	0	168

T - Theoretical; TP - Theoretical and practical ; PL - Practical and laboratorial; TC - Field Work; S - Seminar; E - Training; OT - Tutorial; O - Other

Pre-requisites

no pre-requisites

Prior knowledge and skills

Circuit analysis

Analog electronic circuits

Digital circuits

The students intended learning outcomes (knowledge, skills and competences)

Introduce students to the field of analysis, design and simulation of integrated circuits. Design, simulation, and structural design in MOS technology.

Syllabus

PART 1. CMOS TECHNOLOGY
 Process steps: Patterning, oxidation, diffusion, deployment. Technology models. Electric models for MOSFETs. Model DC simple to calculate by hand. Model for MOSFETs and parasitics. Intrinsic capabilities and parasites in a MOSFET. Model for MOSFETs and parasitics.
 PART 2. CIRCUITS DIGITAL
 The CMOS inverter. Times ascent, descent and propagation. Optimization of elementary static logic gates Non-E and Non-Or. static ports for combinational dynamic logic gates. DOMINO logic. C2MOS logic.
 Circuits sequences. static and dynamic flip-flops. TSPCL logic.
 ROM memory (PROM, UVEPROM, EEPROM, FLASH) and RAM (static and dynamic).

Teaching methodologies (including evaluation)

Aulas teóricas: Método expositivo

Aulas práticas: Aprendizagem por exemplos

Avaliação contínua: Os alunos realizam 2 projectos que são avaliados por relatório e apresentação (exame) oral.

Main Bibliography

R. Baker, H. Li, and D. Boyce, CMOS Circuit Design and Simulation, IEEE Press 1998, ISBN 0-7803-3416-7
J. Rabaey, Digital Integrated Circuits - A Design Perspective, Prentice-Hall 1996, ISBN 0-13-178609-1